

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-252411

(43)Date of publication of application : 14.09.2000

(51)Int.Cl.

H01L 25/065

H01L 25/07

H01L 25/18

(21)Application number : 11-055004

(71)Applicant : MITSUI HIGH TEC INC

(22)Date of filing : 03.03.1999

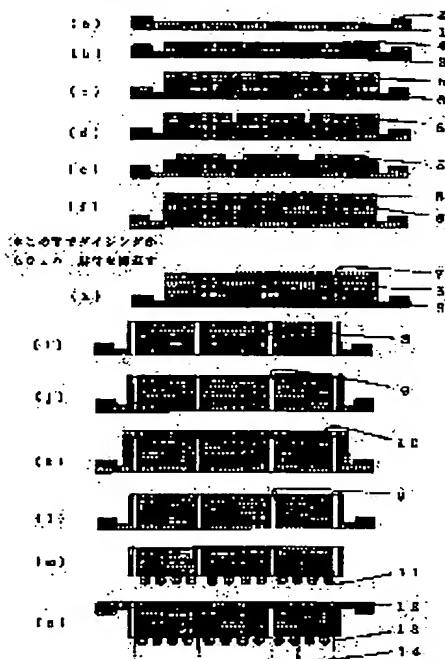
(72)Inventor : NAKAJIMA TAKASHI

## (54) STACKED SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable high density mounting of a thin and small semiconductor device and improve connection reliability, by forming longitudinal wiring lines electrically connecting chip wiring leads in wafers of the respective layers in the outer peripheral part and the inside of a laminated member of the wafers.

**SOLUTION:** After wafers 5 are laminated by a desired number of steps, insulating adhesive agent 6 is arranged on the upper surface of the laminated wafers, and through holes 8 are bored in dicing parts of a wafer laminated member 7. In order to electrically connect chips with each other in the laminated wafers 5, conducting metals 9 (aluminum, copper, etc.), are formed by sputtering, plating, etc., on inner walls of the through holes 8. Resist 10 is spread on the upper surface of the wafer laminated member 7, exposed to light, developed and etched, and the conducting metals 9 stuck on parts except the through holes 8 are eliminated. The conducting metals 9 covering the inner walls of the through holes 8 form longitudinal lines. As a result, a stacked semiconductor device 14 can be thinned and miniaturized, high density mounting can be realized, and connection reliability can be improved.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-252411

(P 2000-252411A)

(43) 公開日 平成12年9月14日 (2000. 9. 14)

(51) Int. Cl. 7	識別記号	F I	テーマコード* (参考)
H 0 1 L	25/065	H 0 1 L	25/08
	25/07		Z
	25/18		

審査請求 未請求 請求項の数 5

OL

(全 4 頁)

(21) 出願番号 特願平11-55004

(22) 出願日 平成11年3月3日 (1999. 3. 3)

(71) 出願人 000144038

株式会社三井ハイテック  
福岡県北九州市八幡西区小嶺2丁目10-1

(72) 発明者 中島高士

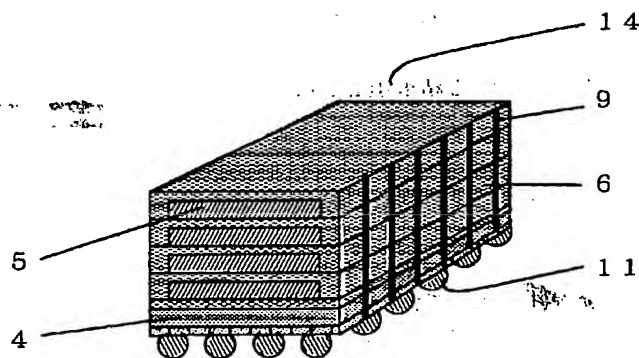
北九州市八幡西区小嶺2丁目10番1号 株式  
会社三井ハイテック内

(54) 【発明の名称】 スタックド半導体装置及びその製造方法

(57) 【要約】

【課題】 薄型且つチップサイズの小型で超高密度実装  
がなされるスタックド半導体装置を得ること、またこれ  
を生産性よく製造すること。

【解決手段】 パターンフィルム 4 の上にウェハー 5 が  
絶縁性接着材 6 を介して複数段積層され、該ウェハー  
5 の積層体の外周及び内部に、各階層のウェハー 5 内に  
おけるチップの配線リードを導電金属 9 で電氣的に接続  
した縦の配線パターンを形成しスタックド半導体装置 1  
4 を構成している。



## 【特許請求の範囲】

【請求項 1】 ウエハーが絶縁性接着材を介在して複数段積層され、該ウエハーの積層体の外周及び内部に、各階層のウエハー内のチップの配線リードを電氣的に接続する縦の配線ラインを設けていることを特徴とするスタックド半導体装置。

【請求項 2】 ウエハーを絶縁層を介在して複数段積層してなるスタックド半導体装置の製造方法において、接着フィルムに外部接続パターンを形成したパターンフィルムをはり付け、該パターンフィルムにウエハーを絶縁性接着材を介して積層し、前記ウエハーを所望サイズにダイシングし、該ダイシングしたウエハーをシリコンエッチングして薄くするとともにダイシングみぞの間隔を広げ且つ配線リードは残し、前記シリコンエッチングしたウエハー上に絶縁性接着材を介して次のウエハーを積層し、該積層したウエハーをダイシングし、シリコンエッチングし、該ウエハーの積層、ダイシング、シリコンエッチング及び絶縁性接着材の塗布を繰り返し行って所望複数段のウエハー積層体とし、スルーホールを前記ダイシング箇所部及びダイシング箇所部以外のチップ近傍に穿設し、該スルーホールに導電金属を設けて各階層のウエハー内のチップを電氣的に接続する縦の配線ラインを形成し、前記接着フィルムを剥ぎ前記パターンフィルムの外部接続パターンに外部接続端子を設け、前記縦の配線ラインが形成されたダイシング部をカットして分割することを特徴とするスタックド半導体装置の製造方法。

【請求項 3】 前記ウエハー積層体のスルーホールへの導電金属の設け方が、スパッタリング又はめっきでなされ、該導電金属の被覆上にレジストコートを設け、該レジストコートを露光、現像して、露呈した導電金属をエッチングしてスルーホール以外の導電金属を除去することを特徴とする請求項 2 記載のスタックド半導体装置の製造方法。

【請求項 4】 ウエハーを絶縁層を介在して複数段積層してなるスタックド半導体装置の製造方法において、接着フィルムに外部接続パターンを形成したパターンフィルムをはり付け、該パターンフィルムにウエハーを絶縁性接着材を介して積層し、該ウエハー上にレジストを設け、次いで、露光し、現像し、シリコンエッチングしてウエハーを所望大きさにダイシングし且つ配線リードは残し、該ウエハーの上に絶縁性接着材を介して次のウエハーの積層、該ウエハーへのレジストの設け、露光、現像、シリコンエッチングによるダイシング及び絶縁性接着材塗布を繰り返し行って所望複数段のウエハー積層体とし、スルーホールを前記ダイシング箇所部及びダイシング箇所部以外のチップ近傍に穿設し、該スルーホールに導電金属を設けて各階層のウエハー内のチップを電氣的に接続する縦の配線ラインを形成し、前記接着フィルムを剥いで前記パターンフィルムの外部接続パターンに

外部接続端子を設け、前記縦の配線ラインが形成されたダイシング部をカットして分割することを特徴とするスタックド半導体装置の製造方法。

【請求項 5】 前記ウエハー積層体のスルーホールへの導電金属の設け方が、スパッタリング又はめっきでなされ、該導電金属の被覆上にレジストコートを設け、該レジストコートを露光、現像し、露呈した導電金属をエッチングしてスルーホール以外の導電金属を除去することを特徴とする請求項 5 記載のスタックド半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はスタックド半導体装置及びその製造方法に関する。

【0002】

【従来の技術】半導体装置は実装密度を高めることが要請されている。半導体装置の超高密度実装のために半導体チップを複数積層したスタックド半導体装置が提案されている。

【0003】従来提案されているスタックド半導体装置は半導体チップを搭載したキャリアが複数個積層された構造よりなる半導体パッケージであって、プリント基板、多層基板或は配線パターンを設けたフィルムが前記キャリアとして用いられ、これに半導体チップを搭載し、複数積層したものである。これでは実装密度は高まるが、重ね合わされた半導体装置は厚くなり薄型化や小型化に問題がある。

【0004】

【この発明が解決しようとする課題】最近、薄型及び小型で且つ超高密度実装が出来る半導体装置への要請が益々強くなっているが、このニーズに十分に適合できるスタックド半導体装置が見当たらないのが実状である。また、スタックド半導体装置の製造は半導体チップの積層がキャリア単位でなされることから高度の熟練を要し且つ生産性が低いという課題がある。

【0005】本発明は薄型且つチップサイズの小型で超高密度実装がなされるスタックド半導体装置を得ること、またこれを生産性よく製造することを目的とする。

【0006】

【課題を解決するための手段】本発明の要旨は、ウエハーが絶縁層を介在して複数段積層され、該ウエハーの積層体の外周及び内部に、各階層のウエハー内のチップの配線リードを電氣的に接続する縦の配線ラインを設けているスタックド半導体装置にある。

【0007】製造方法に関する他の要旨は、ウエハーを絶縁層を介在して複数段積層してなるスタックド半導体装置の製造方法において、接着フィルムに外部接続パターンを形成したパターンフィルムをはり付け、該パターンフィルムにウエハーを絶縁性接着材を介して積層し、前記ウエハーを所望サイズにダイシングし、該ダイシン

グしたウェハーをシリコンエッチングして薄くするとともにダイシングみぞの間隔を広げ且つ配線リードを残し、該シリコンエッチングしたウェハー上に絶縁性接着材を介して次のウェハーを積層し、該積層したウェハーをダイシングし、シリコンエッチングし、絶縁性接着材を塗布し、前記ウェハーの積層、ダイシング、シリコンエッチング及び絶縁性接着材の塗布を繰り返して行って所望複数段のウェハー積層体とし、スルーホールを前記ダイシング箇所部及びダイシング箇所部以外のチップ近傍に穿設し、該スルーホールに導電金属を設けて各階層のウェハー内のチップを電氣的に接続する縦の配線ラインを形成し、前記接着フィルムを剥ぎ前記パターンフィルムの外部接続パターンに外部接続端子を設け、前記縦の配線ラインが形成されたダイシング部をカットして分割することを特徴とするスタックド半導体装置の製造方法にある。

【0008】また他の要旨は、前記製造方法の要旨における絶縁性接着材を介して積層したウェハーを所望サイズにダイシングし、該ダイシングしたウェハーをシリコンエッチングして薄くするとともにダイシングみぞの間隔を広げることによって、前記絶縁性接着材を介して積層したウェハー上にレジストを設け、次いで露光し、現像し、シリコンエッチングして当該ウェハーを所望大きさにダイシングするところにある。

#### 【0009】

【発明の実施の形態】次に、本発明の1実施例について図面を参照して説明する。図1は本発明の1実施例におけるスタックド半導体装置の製造過程を説明するための図、図2は前記図1に続くスタックド半導体装置の製造過程を説明するための図、図3は本発明によるスタックド半導体装置の1例を示す図である。

【0010】図1において、(a)における1は接着フィルムで、スタックド半導体装置を製造する際の支持材であり、その両側には強度確保等のためリング2が設けられている。該接着フィルム1に同図の(b)に示すように外部接続パターン3を設けたパターンフィルム4を貼り付ける。この場合、外部接続パターン3が接着フィルム1と接着されるものでは前記外部接続パターン3上には他の絶縁樹脂で端子部以外はカバーされており、他方、パターンフィルム面4と接着フィルム1が接着される場合には前記外部接続パターン3面にはそのまま絶縁性接着材でウェハーと接着される。この際には前記接着フィルム1に開口部が形成される。

【0011】その後、同図の(c)に示すようにウェハー5が絶縁性接着材6を介して前記パターンフィルム4に貼り付けられる。該貼り付けられたウェハー5を同図の(d)に示すようにダイシングして分割する。

【0012】次いで、前記ウェハー5に対してシリコンエッチングを行い薄くするとともにダイシングみぞの間隔を広げ、同図の(e)に示すようにする。このとき該

シリコンエッチングで露呈したウェハー5のチップの配線リードは残される。その後、絶縁性接着材6を前記ウェハー5上にスピンコーター等で塗布し、次のウェハー5をキャリア等基板を介在させることなく同図の(f)のように貼り付け積層する。

【0013】次いで、前述と同様に前記ウェハーのダイシング、シリコンエッチング、絶縁性接着材の塗布を、繰り返して行いウェハーを所望段数積層する。この実施例ではウェハー5を同図の(h)に示すように2段積層しているが、その積層数は3層、4層、5層等と任意にできる。

【0014】前記のようにウェハー5を所望段積層した後、その上面に絶縁性接着材を設け図2の(i)に示すようにウェハー積層体7のダイシング箇所にスルーホール8を穿設する。該穿設はドリル、レーザ、或はケミカルエッチング等によりなされる。また、図面には示していないが各ウェハー積層体7のウェハー5内のチップ間で共通でない信号ラインを形成するためにスルーホールを穿設する。

【0015】その後、前記積層したウェハー5内のチップ同士を電氣的に接続するため同図の(j)のようにスルーホール8の内壁に導電金属9、例えばアルミニウムや銅等をスパッター或はめっき等により設ける。

【0016】前記導電金属9を設ける際にはウェハー積層体7の上面等にも当該導電金属9が付着するので、この余分のものを除去すべく同図の(k)に示すようにレジスト10を前記ウェハー積層体7の上面に塗布し、露光し、現像し及びエッチングしてスルーホール8以外に付着した導電金属9を取り除く。該取り除き後を同図の(l)に示しているが、スルーホール8内壁を被覆した導電金属9が縦の配線ラインを形成している。なお、配線ラインはアディティブ法によって必要部分にのみ設けてもよい。さらに、前記アルミニウムにニッケルめっき等の耐腐食金属がコートされる場合もある。

【0017】その後、前記接着フィルム1をウェハー積層体7から剥いで、前記パターンフィルム4の下面に外部接続端子11、例えば半田ボール、 bumps、或はランド等を同図の(m)に示すように設ける。

【0018】その後、必要に応じて接着保持フィルム12をウェハー積層体7の外部接続端子11設置の反対側に貼り付けてから、前記導電金属9を設けたスルーホール8部の切断位置13をカットしてウェハー積層体7を個々に分割し、スタックド半導体装置14が製造される。また、図3には、ウェハー5を4層積層したスタックド半導体装置14を示している。

【0019】このように製造されたスタックド半導体装置14はウェハー5がキャリア等の基板を介在せず積層されたものであるから薄く、且つ小型である。また各ウェハー5内のチップの電氣的な接続が外周に位置するダイシング部、及びダイシング箇所部以外のチップ近傍

のスルーホールの内面に設けた導電金属9でなされるので、接続の信頼性がすぐれる。さらに該スタックド半導体装置13はウェハを絶縁性接着材を介しての積層、ダイシング、スルーホール穿設、スルーホール内への導電金属層の形成により製造されるので、高度の熟練を要さず生産性よく製造される。

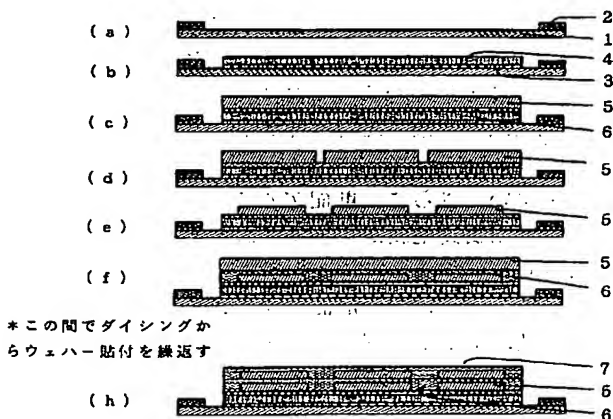
【0020】前記実施例では、絶縁性接着材6を介して積層したウェハ5をダイシングし、次いでシリコンエッチングして当該ウェハ5を薄くするとともにダイシングみぞの間隔を広げたが、ウェハ5が予め薄くされていればこれに代えて、前記積層したウェハ上にレジストを設け、次いで露光し、現像し、シリコンエッチングして当該ウェハを所望大きさにダイシングしてもよい。

#### 【0021】

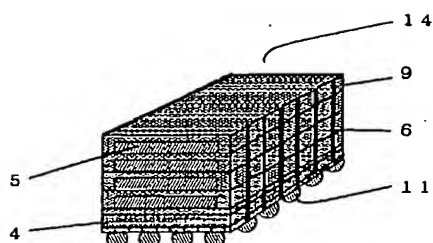
【発明の効果】本発明によればキャリアを用いることなくウェハが絶縁性接着材を介して複数段積層されてスタックド半導体装置を構成しているので、スタックド半導体装置の厚みを薄くできる。また、ウェハを複数段積層したウェハ積層体の外周に各階層のウェハ内のチップ配線リードを電気的に接続する縦の配線ラインを設けているので接続の信頼性が高く、小型で高密度実装がなされるスタックド半導体装置が得られる。

【0022】また、本発明の製造方法によれば前述のよ

【図1】



【図3】



うに、高度の熟練を要さず生産性よく製造できる等の効果がある。

#### 【図面の簡単な説明】

【図1】本発明の1実施例におけるスタックド半導体装置の製造過程を説明するための図。

【図2】前記図1に続くスタックド半導体装置の製造過程を説明するための図。

【図3】本発明によるスタックド半導体装置を示す図。

#### 【符号の説明】

- 1 接着フィルム
- 2 リング
- 3 外部接続パターン
- 4 パターンフィルム
- 5 ウェハ
- 6 絶縁性接着材
- 7 ウェハ積層体
- 8 スルーホール
- 9 導電金属
- 10 レジスト
- 11 外部接続端子
- 12 接着保持フィルム
- 13 切断位置
- 14 スタックド半導体装置

【図2】

